

Family list

1 family member for: **JP4039965**

Derived from 1 application

1 MANUFACTURE OF SEMICONDUCTOR DEVICE

Inventor: MASAKI YUICHI; NAKAMURA HIROYOSHI; (+2)

Applicant: TOKYO SHIBAURA ELECTRIC CO

EC:

IPC: *H01L27/12; H01L21/02; H01L27/146* (+5)

Publication info: **JP4039965 A** - 1992-02-10

Data supplied from the *esp@cenet* database - Worldwide

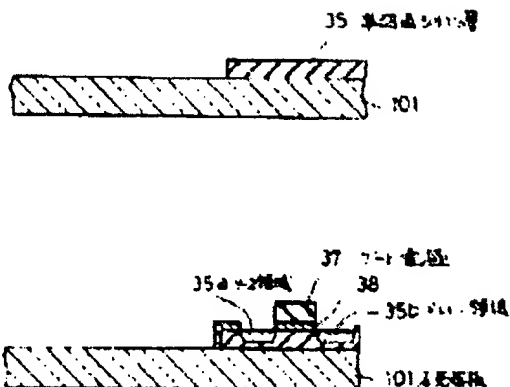
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP4039965
Publication date: 1992-02-10
Inventor: MASAKI YUICHI; NAKAMURA HIROYOSHI; NAKAZONO TAKUSHI; SATO HAJIME
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: H01L27/12; H01L21/02; H01L27/146; H01L27/12; H01L21/02; H01L27/146; (IPC1-7): H01L27/12; H01L27/146
- european:
Application number: JP19900146222 19900606
Priority number(s): JP19900146222 19900606

Report a data error here

Abstract of JP4039965

PURPOSE: To provide a high-speed semiconductor device by fusing a single-crystal silicon film to a transparent insulating substrate to enable formation of a uniform single crystal film with large area. **CONSTITUTION:** A single-crystal silicon film 34 is deposited on a quartz substrate 101 and fused to it at a predetermined temperature. The film 34 is ground and shaped into a single crystal silicon layer 35. The surface of the layer 35 is heat-treated to form a gate insulating film 36, and a gate electrode 37 is formed on the film 36. A contact hole is opened in the film 36, and ions are implanted through the hole into areas where source and drain regions 35a and 35b are formed. According to this method, it is possible to form a uniform single-crystal silicon film on a large area of an insulating substrate and provide a high-speed semiconductor device.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-39965

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月10日

H 01 L 27/146
27/12

B

7514-4M
8122-4M

H 01 L 27/14

C

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 平2-146222

⑱ 出 願 平2(1990)6月6日

⑲ 発 明 者 正 木 裕 一 神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内
⑲ 発 明 者 中 村 弘 喜 神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内
⑲ 発 明 者 中 園 卓 志 神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内
⑲ 発 明 者 佐 藤 肇 神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内
⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
⑲ 代 理 人 弁 理 士 則 近 憲 佑 外 1 名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

透明絶縁基板上に単結晶シリコンを設置する

工程と、

前記透明絶縁基板と単結晶シリコンとを加熱し、
熔融接合させる工程と、

前記単結晶シリコンを所定形状にパターニング
する工程と、

前記単結晶シリコンに接続される電極を形成す
る工程とから成ることを特徴とする半導体装置の
製造方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は半導体装置に係り、特に読取装置あ
るいは表示装置の駆動回路部等に用いられる高速
応答可能な半導体装置の製造方法に関する。

(従来技術)

近年、読取装置はコストの低減のため、ロッ
ドレンズアレイ等の光学系を除いた完全密着方式
が提案され、更に生産性、信頼性の向上のため駆
動回路部と光電変換部とを同一透明基板上に形成
する試みが成されている。

例えば、特開昭60-22881号公報に記載の固体イ
メージセンサには、原稿読取部は安価に製造可能
なアモルファスシリコンを、駆動回路部は高速応
答可能な多結晶シリコンを用い、同一基板上に原
稿読取部および駆動回路部を形成することが記載
されている。そして、駆動回路部に用いられる多
結晶シリコンとしては、570℃の条件下で減圧C
VD法により2000～3000オングストロームの膜厚
で形成し、パターニング後1100～1150℃、酸素雰
囲気中で熱酸化して1500オングストロームのゲー
ト絶縁膜を形成すると同時に、第1層のシリコン
薄膜の結晶粒径を成長させポリシリコンとし、更
に水素プラズマ処理により良好な特性が得られる
ことが記載されている。

また、上述した固体イメージセンサの特性につ

いて、「日本學術振興会アモルファス材料第147委員会第23回研究会資料(H1.3.23)」にA4版8pel/mmの最大読取り速度2.6ns/lineであると記載されている。

(発明が解決すべき課題)

ところで、上述した固体イメージセンサの特性であれば、ファクシミリのG3規格(A4版8pel/mmの最大読取り速度10ns/line)は十分に満足できるものの、駆動回路部の動作速度を考慮すると今後需要が増大すると思われるG4規格(A3版16pel/mmの最大読取り速度2ns/line)を満足することは不可能である。

このような駆動回路部の動作速度の問題は、読取装置の他に例えば動作周波数10Hz以上が要求される液晶テレビ等の表示装置でもあげられている。

しかし、現在の真空技術を駆使しても、大面積な透明絶縁基板上に均一な多結晶シリコン膜を形成し、高速駆動可能な半導体装置とすることは非常に困難でもある。

本発明は上記課題に鑑み成されたもので、特

に高速応答可能な半導体装置を大面積な透明絶縁基板上に容易に製造可能にする半導体装置の製造方法を提供することを目的としたものである。

〔発明の構成〕

(課題を解決するための手段)

本発明の半導体装置の製造方法は、透明絶縁基板上に単結晶シリコン膜を設置する工程と、透明絶縁基板と単結晶シリコン膜とを加熱し、熔融接合させる工程と、単結晶シリコン膜を所定形状にパターニングする工程と、単結晶シリコン膜に接続される電極を形成する工程とを具備したことを特徴としたものである。

(作用)

本発明は、上述したように透明絶縁基板上に単結晶シリコン膜を熔融接合させることにより、大面積透明絶縁基板上にも均一な単結晶シリコン膜の設置が可能となる。

また、透明絶縁基板上に設置される単結晶シリコン膜の膜厚の制御については、透明絶縁基板と単結晶シリコン膜とを熔融接合した後に、単結晶

シリコン膜表面を研磨することにより容易に制御することができる。

そして、このようにして設置された単結晶シリコン膜をパターニングし、電極を形成することで、容易に各種半導体装置を形成することが可能となる。

(実施例)

以下、本発明を読取装置を例にとり説明する。第1図は読取装置(1)の等価回路図を示すもので、複数の光電変換素子(13)がアレイ状に配列されて成る原稿読取部(11)と、光電変換素子(13)に接続される複数の薄膜トランジスタ(33)より構成されるスイッチ素子部(31)と、スイッチ素子部(31)の動作を制御するスキャン制御部(51)とによって構成されている。

このような構成の読取装置(1)の動作について説明する。まず、スキャン制御部(51)により薄膜トランジスタ(33)がONの状態となり、光電変換素子(13)には逆バイアス電圧が印加され、寄生容量Cが充電される。そして、光電変換素子(13)の

寄生容量Cに蓄積された電荷は光電変換素子(13)に照射される光量に応じて放電される。一定時間の後、再び薄膜トランジスタ(33)をONの状態とすると、光量に応じて放電された電荷が寄生容量Cとして再び蓄積されることとなる。この充電電流をSOUT端子から読取ることにより、原稿面上の情報を読取ることができる。

第2図は、上述した読取装置(1)の要部断面図を示すもので、石英基板(101)上に原稿読取部(11)およびスイッチ素子部(31)が形成されており、基板(101)裏面から光が照射され、原稿(201)面での反射光を原稿読取部(11)で電気信号に変換する完全密着型の読取装置(1)を示すものである。

石英基板(101)上に個別電極(15)、アモルファスシリコン層(17)、共通電極(21)が積層設置されて光電変換素子(13)は構成され、積層部分が画素となり原稿(201)面での反射光を電気信号に変換するものである。

この個別電極(15)はスイッチ素子部(31)を構成する薄膜トランジスタ(33)のソース領域に接続さ

れている。薄膜トランジスタ(33)は、活性層が多結晶シリコン層(35)によって成るもので、単結晶シリコン層(35)に不純物が添加されてソース領域(33a)およびドレイン領域(33b)が形成されている。また、ゲート絶縁膜(35)を介してゲート電極(37)が設置されて薄膜トランジスタ(33)は構成されている。

そして、これら原稿読取部(11)およびスイッチ素子部(31)上には、保護層(61)、接着層(63)、透明導電層(65)、薄板ガラス(67)が設置されている。

また、石英基板(101)裏面には、光源(図示せず)からの照射光が光電変換素子(13)に直接照射されることを防止するために、遮光層(71)が設置されて読取装置(1)は構成されている。

このような読取装置(1)の製造方法を第3図の製造プロセス図を参照して説明する。

まず、第3図(a)に示すように、石英基板(101)上に単結晶シリコン膜(34)を設置し、1000℃で熔融接合させた。単結晶シリコン膜(34)は、通常用いられるチョクラルスキー法を用いて形成

し、所定の膜厚にスライスして使用した。そして、単結晶シリコン膜(34)の製造方法としては、上述した方法の他に、フローティングゾーン法等の種々の方法があるが、いずれの方法も本実施例に適用可能である。この基板(101)と単結晶シリコン膜(34)とを熔融接合させる際の温度としては、上述したように1000℃程度が最適であるが、900～1200℃であれば良いことを実験より確認した。

そして、第3図(b)に示すように、単結晶シリコン膜(34)表面を研磨し、25ミクロンの膜厚とし、余剰部分を除去して単結晶シリコン層(35)を形成した。ここでは単結晶シリコン層(35)の膜厚を25ミクロンとしたが、動作速度等を考慮すると1～50ミクロンの膜厚となるように研磨すると良い。

この後、図中(c)に示すように、単結晶シリコン層(35)表面を熱処理してゲート絶縁膜(36)を形成し、ゲート絶縁膜(36)上にゲート電極(37)を形成した。

更に、図中(d)に示すように、ゲート絶縁膜

(36)にコンタクトホールを形成し、ソース領域(35a)およびドレイン領域(35b)を形成する領域にイオン注入し、ソース領域(35a)およびドレイン領域(35b)を形成した。P型MOSトランジスタを得る場合には例えばボロンを、N型MOSトランジスタを得る場合には例えばリンあるいはヒ素を用いると良い。

また、第3図(e)に示すように酸化シリコンより成る絶縁膜(39)を堆積した後に、ソース領域(33a)およびドレイン領域(33b)が露出するように絶縁膜(39)にコンタクトホール(40a)、(40b)を形成した。

更に、第3図(f)に示すように、コンタクトホール(40a)、(40b)からソース領域(33a)およびドレイン領域(33b)に接続されるようにアルミニウム(A1)を堆積しパターニングし配線用金属薄膜(15a)、(15b)を形成した。この時、ソース領域(35a)に接続される配線用金属薄膜(15a)は、光電気変換素子(13)の個別電極(15a)ともなるようにパターニングした。

そして、第3図(g)に示すように、個別電極(15a)上に水素化アモルファスシリコン層(17)、水素化アモルファスシリコンカーバイド層(19)を減圧プラズマC.V.D.により堆積させた後、同図中(g)に示すように水素化アモルファスシリコンカーバイド層(19)上にI. T. O. (Indium Tin Oxide)を設置し、所定形状にパターニングして共通電極(21)とし、光電気変換素子(13)を形成した。

この後、第2図に示すように光電気変換素子(13)及び薄膜トランジスタ(33)上に保護層(61)、接着層(63)、透明導電層(65)、薄板ガラス(67)を順次設置し、更に石英基板(101)裏面に遮光層(71)を設置して読取装置(1)とした。ここで用いられる薄板ガラス(67)としては、十分な読取解像度を確保するために60ミクロン以下の厚さのものを使用すると良い。

そして、保護層(61)と薄板ガラス(67)との間に設けられる透明導電層(65)をアースすることにより、薄板ガラス(67)上を走行する原稿(201)との

摩擦により発生する静電気を除去させることができ、光電気変換素子(13)等が静電破壊されることを防止することができる。

この透明導電層(65)としては、I. T. O. (Indium Tin Oxide) が高い透過率が得られることから、最も好ましい。

上述したように、単結晶シリコン膜(35)を基板(101)上に熔融接合して設置し、読取装置(1)のスイッチ素子部(31)を構成することにより、従来のアモルファスシリコン膜あるいは多結晶シリコン膜を活性層としていたスイッチ素子部に比べて、動作速度を非常に高いものにすることができた。

そして、単結晶シリコン膜(35)を基板(101)上に熔融接合するため、基板(101)上に真空技術を利用して堆積させる方法に比べて大きな真空装置等の必要がなく、大面積にわたり単結晶シリコン膜(35)を均一に形成することができる。

上述した実施例においては、光電気変換素子(13)の光電気変換膜としてアモルファスシリコン層(19)を用いたが、この他にカドミウム・サルフ

ァイド等の化合物半導体、あるいはスイッチ素子部(31)に用いたと同様に単結晶シリコン膜を用いても良い。

本実施例では、原稿読取装置(1)を例にとり説明したが、本発明はこれに限定されるものではなく、液晶表示装置の駆動回路部等に用いられる半導体装置に最適であり、動作速度を非常に高めることができる。また、各画素に非線形素子が設けられて成るアクティブマトリックス型液晶表示装置の非線形素子を本発明により製造される半導体装置により構成しても良い。この場合、半導体装置に照射される光により誤動作することが考えられるが、研磨時に単結晶シリコン膜の膜厚を5～300nm とすることにより、光に対する感度を低下させることができる。このため、アクティブマトリックス型液晶表示装置の非線形素子として5～300nm 膜厚の単結晶シリコン膜を用いることにより、遮光膜を設ける必要を解消することができる。

上述した各種半導体装置はいずれも3端子素子であったが、ダイオード・リングのような2端子

素子としても良いことは言うまでもない。

〔発明の効果〕

本発明の半導体装置の製造方法によれば、大面積な絶縁基板上に均一な単結晶シリコン膜を設置することが可能となり、これにより動作速度の速い半導体装置を実現することができる。

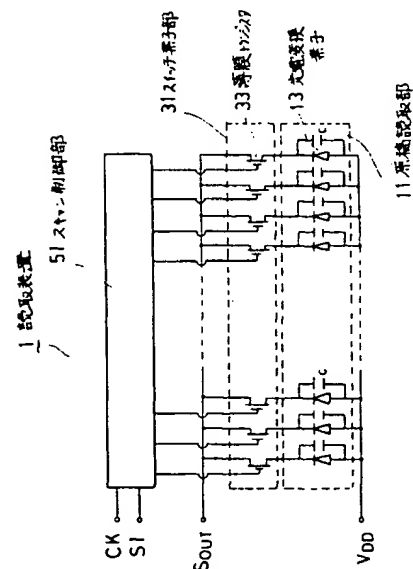
そして、本発明は特に原稿読取装置のスイッチ素子部あるいは液晶表示装置の駆動回路部等に最適である。

4. 図面の簡単な説明

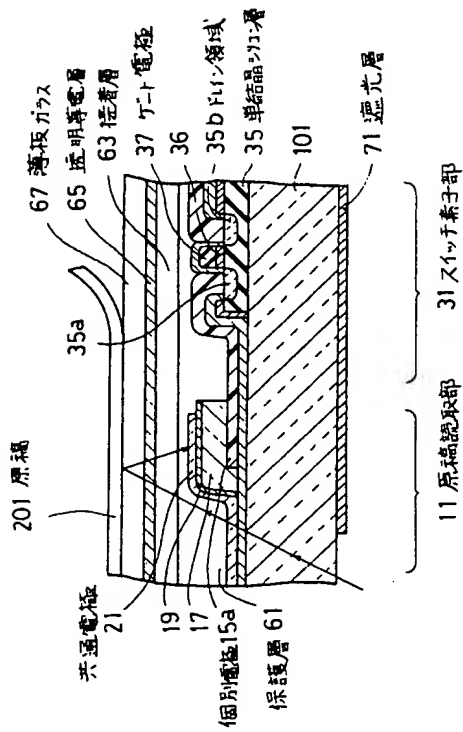
第1図は本発明の一実施例が適用される原稿読取装置の等価回路図、第2図は第1図における原稿読取装置の要部断面図、第3図は第2図における原稿読取装置の製造プロセス図である。

- (1) … 読取装置
- (11) … 原稿読取部
- (17) … アモルファスシリコン層
- (31) … スイッチ素子部
- (35) … 単結晶シリコン膜
- (101) … 石英基板

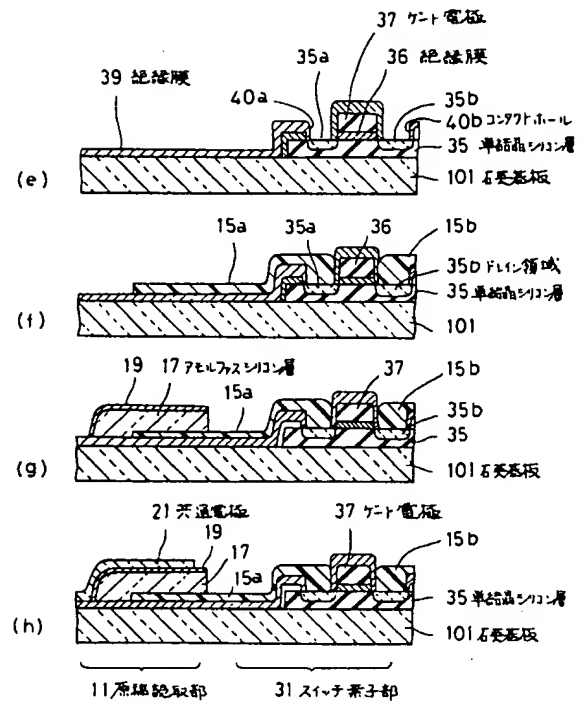
代理人 弁理士 則 近 憲 佑
同 竹 花 喜久男



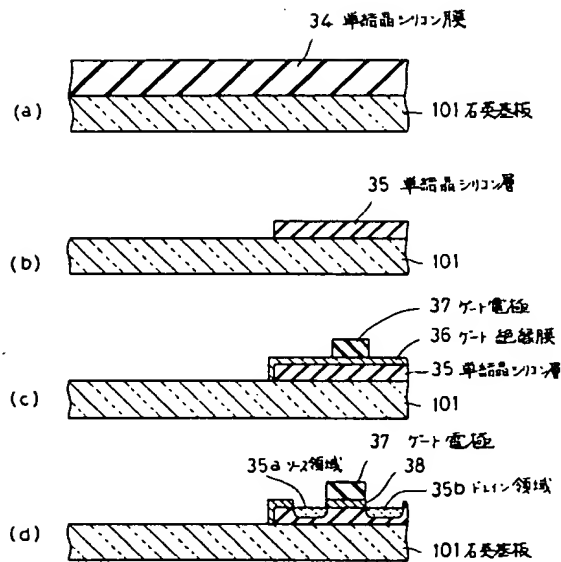
第 1 図



第 2 図



第 3 図



第 3 図